

# OPTICAL SEMICONDUCTOR DEVICE

Publication number: JP9293893

Publication date: 1997-11-11

Inventor: MORIKAWA TAKENORI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: H01L31/12; H01L27/146; H01L27/15; H01L31/107;  
H01L33/00; H01S5/00; H01S5/026; H01L31/12;  
H01L27/146; H01L27/15; H01L31/102; H01L33/00;  
H01S5/00; (IPC1-7): H01L31/12; H01L27/15; H01S3/18  
- European: H01L27/146F; H01L27/15; H01L33/00C3D2; Y01N10/00

Application number: JP19960105600 19960425

Priority number(s): JP19960105600 19960425

Also published as:

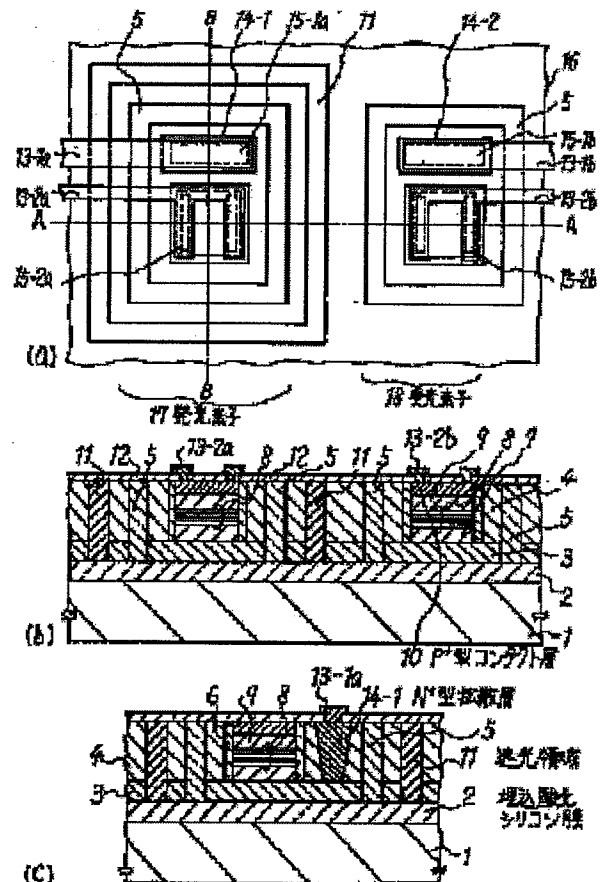


US5793060 (A1)  
DE19717562 (A1)

Report a data error here

## Abstract of JP9293893

**PROBLEM TO BE SOLVED:** To improve electro-optical conversion efficiency by forming a groove extending to a second semiconductor layer in an element forming region sectioned by providing an element isolation region in an SOT region, and covering the lateral side of the groove with a second insulating layer to provide a multilayer structure. **SOLUTION:** A multilayer structure includes: a semiconductor substrate formed by stacking a silicon substrate 1, an embedded silicon oxide film 2, an N<sup>+</sup>-type embedded layer 3 and an N-type epitaxial layer 4; an element forming region sectioned by an element isolation region 5 extending from the surface of the N-type epitaxial layer 4 to the embedded silicon oxide film 2; a groove provided in the element forming region to extend to the N<sup>+</sup>-type embedded layer 3; a silicon oxide layer 6 covering the lateral side of the groove; a nondope silicon epitaxial layer 7 provided in the groove; a superlattice layer 8 (a multilayer quantum well having a 32-nm thick Si layer/6-nm thick Si<sub>0.65</sub>Ge<sub>0.35</sub> layer with 10 periods); a non-dope silicon buffer layer 9; and a P<sup>+</sup>-type contact layer 10. On the basis of electrodes 13-1a, 1b as the reference, a positive voltage is applied to an electrode 13-2a and a negative voltage is applied to an electrode 13-2b, thus operating as light-emitting and light-receiving elements.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-293893

(43)公開日 平成9年(1997)11月11日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 31/12			H 0 1 L 31/12	B
			27/15	D
H 0 1 S 3/18			H 0 1 S 3/18	

審査請求 有 請求項の数9 O L (全 7 頁)

(21)出願番号 特願平8-105600

(22)出願日 平成8年(1996)4月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 森川 武則

東京都港区芝五丁目7番1号 日本電気株式会社内

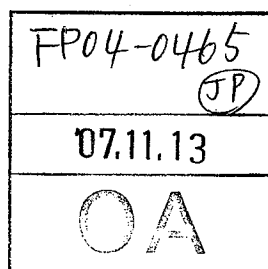
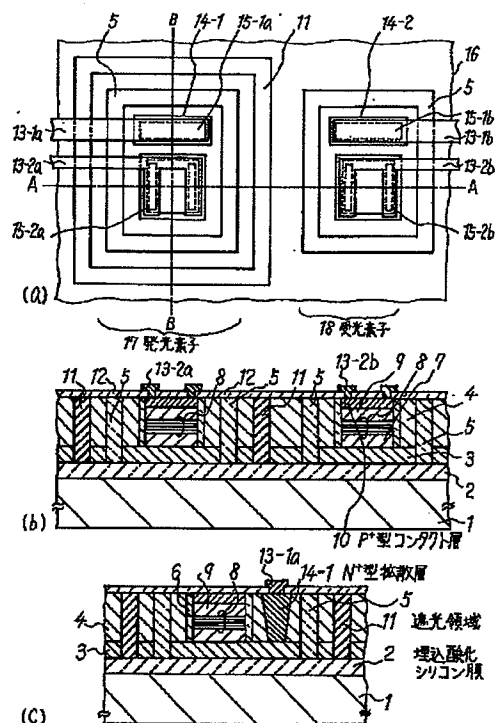
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 光半導体装置

(57)【要約】

【課題】超格子層を活性層とするプレーナ構造の光半導体素子の変換効率を向上し、かつノイズを低減したO E I Cを提供する。

【解決手段】埋込酸化シリコン膜2の膜厚を約0.2  $\mu$ mに形成したSOI基板上にSi/SiGe超格子層8を活性層にもつ発光素子17を設ける。このとき波長1.3  $\mu$ mの光の反射率が最大となるため、上部から効率良く光を取り出すことができる。さらに、同一基板上に形成した受光素子18においても、入射した光がシリコン基板1側に逃げないため、光-電気変換効率が向上できる。また、発光素子の周辺部に、タングステン膜を埋設した遮光領域11を設けているため、発光素子からの光が妨げられて、受光素子へ影響を及ぼさないため、ノイズを低減することが可能となる。



## 【特許請求の範囲】

【請求項1】 第1の半導体層、前記第1の半導体層と異なる屈折率を有する第1の絶縁層、高濃度第1導電型の第2の半導体層及び第1導電型の第3の半導体層の積層でなるSOI領域を含む半導体基板と、前記第3の半導体層の表面から前記第1の絶縁層に達する素子分離領域で区画される素子形成領域と、前記素子形成領域に前記第2の半導体層に達して設けられた溝と、前記溝の側面を覆う第2の絶縁層と、前記溝部に設けられた量子井戸層及び第2導電型コンタクト層を含む積層構造体と、前記素子形成領域の第3の半導体層から第2の半導体層に達する接続領域に接触する第1の電極と、前記第2導電型コンタクト層に接触する第2の電極と、前記溝の外側に前記第3の半導体層の表面から前記第1の絶縁層に達して設けられた遮光領域とを含む光半導体素子を有することを特徴とする光半導体装置。

【請求項2】 量子井戸層と第2の半導体層及び第2導電型コンタクト層との間にそれぞれ第1のバッファ層及び第2のバッファ層が設けられている請求項1記載の光半導体装置。

【請求項3】 量子井戸層に対応する光の波長に対して第2の半導体層側から見た反射率が大きくなる値に第1の絶縁膜の厚さが設定されている請求項1又は2記載の光半導体装置。

【請求項4】 第1乃至第3の半導体層、第1導電型エピタキシャル層及び第2導電型エピタキシャル層が全て単結晶シリコン層であり、量子井戸層が $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$  ( $0 < x < 1$ ) 超格子層でなる請求項1乃至3記載の光半導体装置。

【請求項5】 第1の絶縁層及び第2の絶縁層がいずれも酸化シリコン膜である請求項4記載の光半導体装置。

【請求項6】 第1の絶縁層の厚さが $0.20\mu\text{m}$ 以上、 $0.25\mu\text{m}$ 以下である請求項5記載の光半導体装置。

【請求項7】 遮光領域が高融点金属膜でなり接続領域を兼ねる請求項1乃至6記載の光半導体装置。

【請求項8】 高融点金属膜はタングステン膜である請求項7記載の光半導体装置。

【請求項9】 光半導体素子が順方向にバイアスされる発光素子若しくは逆方向にバイアスされる受光素子のいずれかである請求項1乃至8記載の光半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、SOI基板を用いて形成される光半導体装置に関し、特にSOI基板面と垂直方向に光を入出力できる面型光半導体素子（面発光型発光素子又は面受光型受光素子）を有する光半導体装置に関する。

## 【0002】

【従来の技術】 光通信用ICとしては、III-V系化

合物を用いた光送信モジュールおよび光受信モジュールあるいは光通信用トランシーバといったものが従来から用いられている。例えば、 $\text{InGaAsP}/\text{InP}$ レーザダイオード（LD）チップとその駆動回路を搭載したシリコンICを実装した光通信モジュールや $\text{InGaAs}/\text{InP}$  Pinフォトダイオード（PD）チップと信号増幅器を搭載したシリコンICを実装した光通信モジュールがある。また、LDチップとPDチップおよび光通信用駆動回路と光受信用増幅回路を搭載したシリコンICを共に実装した光通信用トランシーバが実現されている。

【0003】 しかし、より低コスト化を計るためには、シリコンプロセスへ適応可能なデバイスが望ましい。そこでSiGeを用いた光デバイスの開発が進められLDおよびPDとICを一体化したSi-OEICの実現の可能性が示されてきた。

【0004】 例えば、ミー（Mi）等により「アプライド・フィジックス・レターズ（Applied Physics Letters）」誌、第60巻、第25号、1992年、6月、第3177頁～第3179頁には、シリコン基板上に作製したSi/SiGe超格子層を用いたメサ型ダイオードにおける室温での電気-光変換（EL）に関する報告がなされている。

【0005】 また、特開昭62-66668号公報には同一チップ上に形成したSi/SiGe超格子層を用いたSi-OEICについての藤森等の発明が開示されている。

【0006】 これらのデバイスは、SiとSiGeと交互に重ねた超格子構造を受光部及び又は発光部として成長させた後、電極となる高濃度不純物層を成長し、メサ型にエッチングを行なって形成される。超格子構造によって、SiGeの光吸収層の総膜厚を厚くすることが可能となり、変換効率が向上できる。

【0007】 図6は前述したミー等による発光素子の電気-光変換測定を行ったデバイスの構成を示す断面図である。このデバイスは、N型シリコン基板101上にN<sup>+</sup>型エピタキシャル層103を成長し、ノンドープシリコンエピタキシャル層107、Si/Si<sub>0.65</sub>Ge<sub>0.35</sub>超格子層108、ノンドープシリコンバッファ層109、P<sup>+</sup>型コンタクト層110を順次形成した後、メサ状にN<sup>+</sup>型エピタキシャル層103までエッチングを行っている。側壁と上部は酸化シリコン膜112で被覆し、P側とN側に開孔を行い、それぞれ電極113-1、113-2を付加し、ダイオードを形成している。PN接合に対して順方向に電圧を印加することで、電気-光変換により、波長 $1.3\mu\text{m}$ の光を放射する構造になっている。

【0008】 また、図7は、藤森らの特開昭62-66668号公報に示されるSi-OEICの発光素子部と、受光素子部における断面図である。これらのデバ

スはシリコン基板201上にN型シリコン層222、Si/SiGe超格子層208、P型シリコン層223を順次成長し、P型シリコン層223からN型シリコン層222に達するまでメサ状にダイオード部をエッチングし、また、発光素子部と受光素子部を分離するために、さらにシリコン基板201に達するまでエッチングを行い、各々、下部電極213-1a、213-1bを取り出し、また、シリコン基板201内には、素子分離領域221(酸化シリコン膜)を設ける構成になっている。

【0009】

【発明が解決しようとする課題】第1の問題点は、上述のミ一等により発光素子は面型発光素子としては発生した光を効率良く外部に取り出せないことである。その理由は、下部シリコン基板方向にはN<sup>+</sup>型シリコン層があるだけで十分な反射層になっていないからである。

【0010】第2の問題点は、上述した従来の発光素子や受光素子は、メサ型であるためシリコン基板との段差が大きく同一チップ上に内部回路を形成するのが困難である。その理由は、内部回路用のトランジスタは集積化の容易なプレーナ構造とするのが好ましいが、そうするとプロセスの共通化が極めて難しくなるからである。

【0011】従って本発明の第1の目的は、電気-光(もしくは光-電気)変換効率の改善されたプレーナ構造の光半導体装置を有する光半導体装置を提供することにある。

【0012】本発明の第2の目的は、発光素子と受光素子とを光学的に遮蔽された状態で同一チップに集積できるプレーナ構造の光半導体装置を提供することにある。

【0013】

【課題を解決するための手段】本発明の光半導体装置は、第1の半導体層、前記第1の半導体層と異なる屈折率を有する第1の絶縁層、高濃度第1導電型の第2の半導体層及び第1導電型の第3の半導体層の積層でなるSOI領域を含む半導体基板と、前記第3の半導体層の表面から前記第1の絶縁層に達する素子分離領域で区画される素子形成領域と、前記素子形成領域に前記第2の半導体層に達して設けられた溝と、前記溝の側面を覆う第2の絶縁層と、前記溝部に設けられた量子井戸層及び第2導電型コンタクト層を含む積層構造体と、前記素子形成領域の第3の半導体層から第2の半導体層に達する接

【0014】ここで、量子井戸層に対応する光の波長に対して、第2の半導体層側から見た反射率が増大となる値に第1の絶縁膜の厚さが設定されているのが好ましい。

【0015】更に、第1乃至第3の半導体層、第1導電

型エピタキシャル層及び第2導電型エピタキシャル層を全て単結晶シリコン層で構成し、量子井戸層をSi<sub>1-x</sub>Ge<sub>x</sub>/Si(0<x<1)超格子層で構成することができる。その場合、第1の絶縁層及び第2の絶縁層をいずれも酸化シリコン膜と有することができる。この場合、第1の絶縁層の厚さを0.20μm以上、0.25μm以下とするのが好ましい。

【0016】又、遮光領域を高融点金属膜で構成し接続領域を兼ねることができる。高融点金属膜はタングステン膜とすることができる。

【0017】SOI領域に素子分離領域を設けて区画された素子形成領域に第2の半導体層に達する溝を形成し、その溝の側面を第2の絶縁層で覆って積層構造体を設けることにより、第1、第2の電極を基板表面に設けることができる。第1の絶縁層が反射増強膜として作用する。積層構造体の側面と同一チップ上の素子との間の光のやりとりを遮光膜が防止する。

【0018】

【発明の実施の形態】図1(a)は本発明の第1の実施の形態を示す平面図、図1(b)は図1(a)のA-A線断面図、図1(c)は図1(a)のB-B線断面図である。

【0019】本実施の形態の光半導体装置は、第1の半導体層(シリコン基板1)、第1の絶縁層(埋込酸化シリコン膜2)、第2の半導体層(N<sup>+</sup>型埋込層3)及び第3の半導体層(N型エピタキシャル層4)の積層でなるSOI領域を含む半導体基板と、N型エピタキシャル層4の表面から埋込酸化シリコン膜2に達する素子分離領域5で区画される素子形成領域と、前述の素子形成領域にN<sup>+</sup>型埋込層3に達して設けられた溝と、この溝の側面を覆う第2の絶縁層(酸化シリコン層6)と、前述の溝部に設けられたノンドープシリコンエピタキシャル層7(第1のバッファ層)、Si/Si<sub>0.65</sub>Ge<sub>0.35</sub>超格子層8(厚さ32nmのSi層/厚さ6nmのSi<sub>0.65</sub>Ge<sub>0.35</sub>層を10周期有する多量量子井戸)、ノンドープシリコンバッファ層9(第2のバッファ層)及びP<sup>+</sup>型コンタクト層10でなる積層構造体と、前述の素子形成領域の第3の半導体層(4)から第2の半導体層(3)に達する接続領域(N<sup>+</sup>型拡散層14-1)に接触する第1の電極13-1aと、P<sup>+</sup>型コンタクト層10に接触する第2の電極13-2aと、前記溝の外側に第3の半導体層(4)の表面から第1の絶縁層(2)に達して設けられた遮光領域11とを含む発光素子17と、同様の構造の受光素子18とを有し、第1の電極13-1a、13-1bを基準として第2の電極13-2aに正の電圧を印加し、第2の電極13-2bに負の電圧を印加することにより、発光素子及び受光素子として動作させる。

【0020】次に、本実施の形態の製造方法について説明する。

10

20

30

40

50

【0021】まず図2(a)に示すように、シリコン基板1(第1の半導体層)を支持基板として、埋込酸化シリコン膜2を内部に有するSOI基板を、例えば張り合わせ技術によって形成する。このとき、埋込酸化シリコン膜2の厚さは0.2 $\mu$ m、SOI層19の厚さは1.5 $\mu$ mとする。次にSOI層19に例えばヒ素をドーズ量 $5 \times 10^{15}$  cm<sup>-2</sup>程度の高ドーズイオン注入を行なってN<sup>+</sup>型埋込層3を形成し、シリコンをエピタキシャル成長して厚さ3 $\mu$ mのN型エピタキシャル層4を形成する。次に、図2(b)に示すように、所定の位置に、表面から埋込酸化シリコン膜2に達するように溝状にシリコンエッチングを行い、例えば酸化シリコン膜を埋設することによって素子分離領域5を形成する。続けて、N側の引き出し電極として、所定の位置に、例えばリンを約 $5 \times 10^{15}$  cm<sup>-2</sup>の高ドーズイオン注入した後、熱処理を行うことでN<sup>+</sup>型拡散層14-1、14-2(図1)を形成する。

【0022】次に図2(c)に示すように、表面に酸化シリコン膜20を成長し、発光素子17と受光素子18を作製する形状(長方形)にパターニングを行い、これをマスクとして、N<sup>+</sup>型埋込層3に達するように、シリコンエッチングを行なって溝を形成する。さらに、全面に酸化シリコン膜を成長し、エッチバックを行うことで図3(a)に示すように、溝の側面を覆う酸化シリコン層6を形成する。次に、この溝部に意図的に不純物のドーピングを行なうことなくエピタキシャル成長を行なって厚さ1 $\mu$ mのノンドープシリコン層7を成長する。次に、圧力800Pa、温度700℃で32nmのSi層、625℃で6nmのSi<sub>0.65</sub>Ge<sub>0.35</sub>層を成長することによって10個のSi<sub>0.65</sub>Ge<sub>0.35</sub>量子井戸を形成し、厚さ1 $\mu$ mのノンドープシリコンバッファ層9を形成し、 $1 \times 10^{20}$  cm<sup>-3</sup>程度のボロンをドーピングしたP<sup>+</sup>型コンタクト層10(シリコン)を形成する。こうしてp-i-nで近似できるダイオード構造が得られる。表面に残っている酸化シリコン膜20a及び酸化シリコン膜6の一部を除去した後、図3(b)に示すように、改めて酸化シリコン膜21を全面に堆積し、発光素子領域の周辺部に溝状にパターニングを行い埋込酸化シリコン膜2に達するように、シリコンエッチングを行う。続けて、全面にタングステン膜を成長した後、エッチバックを行なうことに遮光領域11を形成する。次に酸化シリコン膜を除去してから改めて厚さ0.20~0.25 $\mu$ mの酸化シリコン膜(図1の12)を全面に堆積する。

【0023】光がある物質に入射したときの反射率および透過率は、その物質のもつ屈折率の大小によって決まる。さらに、その物質の膜厚によっても影響を受けることになる。

【0024】まず、表面に酸化シリコン膜を成長したシリコン基板に、垂直に光が入射した場合を考える。ここで酸化シリコン膜、シリコンの屈折率はそれぞれ1.4

5、3.44とした。

【0025】図4(a)に示すように、波長1.3 $\mu$ mの光が最も透過するのは、酸化シリコン膜厚約0.2 $\mu$ m~0.25 $\mu$ mであり、素子内部へ効率良く光を入射するにはこの程度の膜厚が適切であることがわかる。これは受光素子に光ファイバからの光を入射する場合に相当する。つまり、図2の酸化シリコン膜12としては、0.2~0.25 $\mu$ m成長させるのがよい。

【0026】次に、シリコン内部に埋め込まれた酸化シリコン膜に垂直に光が入射した場合を考える。

【0027】図4(b)に示すように、波長1.3 $\mu$ mの光が最も反射するのは、酸化シリコン膜厚約0.2~0.25 $\mu$ mであり、基板側(埋込酸化シリコン膜より下側)へ光が逃げないようにするには、この程度の膜厚が適切であることがわかる。このとき下側への光の50%は反射されるため、上方向から光を取り出しやすくなる。これは、発光素子から光を出す場合に相当する。さらには、受光素子に入射した光が電気変換されず下側に通過してしまった光を反射して再びSi/Si<sub>0.65</sub>Ge<sub>0.35</sub>超格子層に戻ってくることも考えられるので受光素子の変換効率を向上することも可能である。つまり、図2の埋込酸化シリコン膜2は、0.2~0.25 $\mu$ mになるようにSOI基板を形成するのがよい。

【0028】発光素子と受光素子がプレーナ構造であるので、内部回路ICの製造方法と整合性が良いため、容易に同一チップ上に作製できる。すなわち、Si-OEIC作製が著しく低コスト化できる。

【0029】またSOI基板上に作製しており、埋込酸化シリコン膜が下方向へ逃げる光を反射するようにすることができる。とくに酸化シリコン膜厚を0.2~0.25 $\mu$ mにすることで、照射した光のうち約50%が反射するため、上方向から取り出す光が増加する。すなわち電気-光変換効率を向上することが可能となる。

【0030】さらに、発光素子を囲むように、遮光膜を有する。このため、発光素子からの光が受光素子へ直接伝搬しないため、ノイズが低減できる。

【0031】図5(a)は本発明の第2の実施の形態を示す平面図、図5(b)及び図5(c)はそれぞれ図5(a)のA-A線断面図及びB-B線断面図である。

【0032】第1の実施の形態では遮光領域11が発光素子形成領域と受光素子形成領域との間に設けられているが、第2の実施の形態では、遮光領域11aが発光素子形成領域内に設けられていてN<sup>+</sup>型埋込層3への接続領域を兼ねている。

【0033】受光素子18についても、N<sup>+</sup>型拡散層14-2を形成する代わりに遮光領域11aを形成するときにN側の引き出し部を形成することが可能である。

【0034】この第2の実施の形態では、発光素子17の素子占有面積は、第1の実施の形態に比べて大きくなるため、容量が増加し、高速応答に不利であるが、N<sup>+</sup>

型拡散層を形成する必要が無く、工程短縮が計れる。さらに、N側の接続領域の抵抗成分も、拡散層によるものより低くすることが可能である。

【0035】以上の説明において、導電型と印加電圧の極性を逆にしてもよいことは改めていうまでもないことである。又、埋込酸化シリコン膜が全域に設けられている例について説明したが、これは、全域に設ける必要はない。

#### 【0036】

【発明の効果】第1の効果は、SOI領域を含む半導体10 10  
基板に量子井戸層を活性層とするプレーナ構造の光半導体装置を実現できるので、集積化の容易なOEICが得られ、発光素子の電気-光変換効率を向上し、かつ受光素子の光-電気変換効率を向上できるようになる。SOI領域の第1の絶縁層を波長に応じた適当な膜厚にすることで、光の反射率を大きくできるからである。

【0037】第2の効果は、光半導体素子、とくに発光素子の周辺部に高融点金属、例えばタングステン膜を埋設した遮光領域を設けることで、受光素子へのノイズを低減できる。発光素子から発生した光が、遮光領域で吸20  
収されて受光素子に到達するのを防止するからである。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す平面図（図1（a））、図1（a）のA-A線断面図（図1（b））及びB-B線断面図（図1（c））。

【図2】本発明の第1の実施の形態の製造方法について説明するための（a）～（c）に分図して示す工程順断面図。

【図3】図2に続いて（a）、（b）に分図して示す工程順断面図。

【図4】酸化シリコン膜12の膜厚と反射率の関係を示すグラフ（図4（a））及び埋込酸化シリコン膜2の膜厚と反射率の関係を示すグラフ（図4（b））。

【図5】本発明の第2の実施の形態を示す平面図（図5

（a））、図5（a）のA-A線断面図（図5（b））及びB-B線断面図（図5（c））。

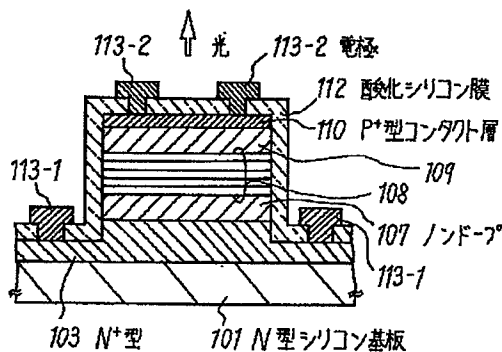
【図6】従来の発光素子を示す断面図。

【図7】従来の光ICを示す断面図。

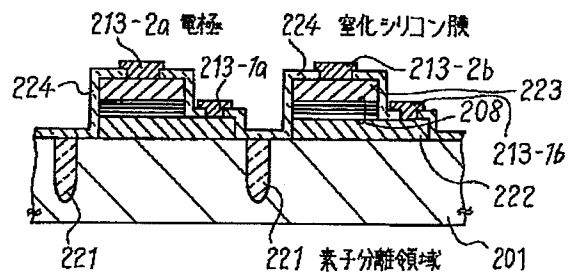
#### 【符号の説明】

- 1, 101, 201 シリコン基板
- 2 埋込酸化シリコン
- 3, 103 N<sup>+</sup>型埋込層
- 4 N型エピタキシャル層
- 5 素子分離領域
- 6 溝側面の酸化シリコン膜
- 7, 107 ノンドープシリコンエピタキシャル層
- 8, 108 Si/Si<sub>0.65</sub>Ge<sub>0.35</sub>超格子層
- 9, 109 ノンドープシリコンバッファ層
- 10, 110 P<sup>+</sup>型コンタクト層
- 11, 11a 遮光領域
- 12, 112, 222 酸化シリコン膜
- 13-1a, 13-1b, 113-1, 213-1a, 213-1b 第1の電極
- 13-2a, 13-2b, 113-2, 213-2a, 213-2b 第2の電極
- 14-1, 14-2 N<sup>+</sup>型拡散層
- 15-1a, 15-1b, 15-2a, 15-2b コンタクト孔
- 16 半導体チップ
- 17 発光素子
- 18 受光素子
- 19 SOI層
- 20, 20a, 21 酸化シリコン膜
- 20 221 素子分離領域
- 222 N型シリコン層
- 223 P型シリコン層
- 224 窒化シリコン膜

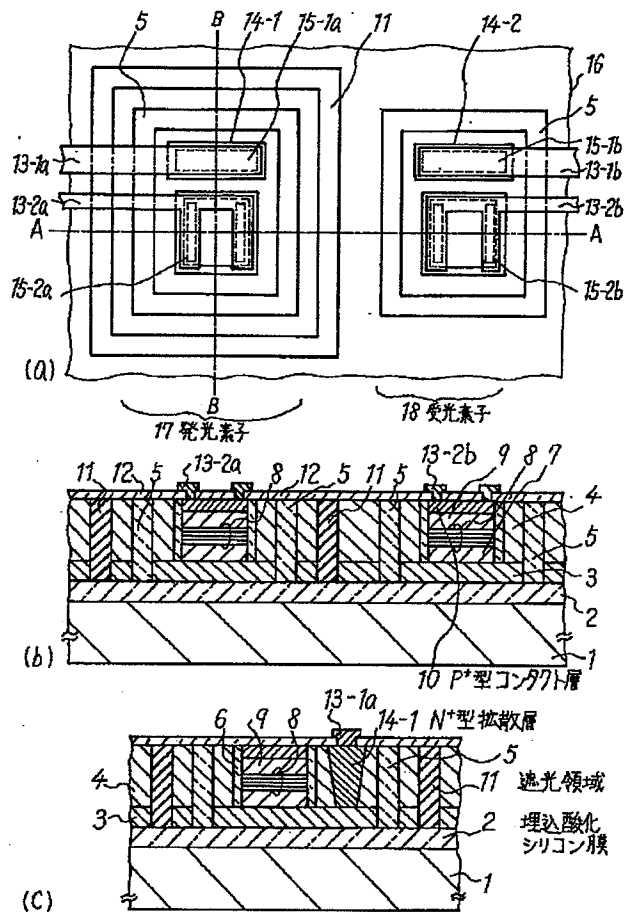
【図6】



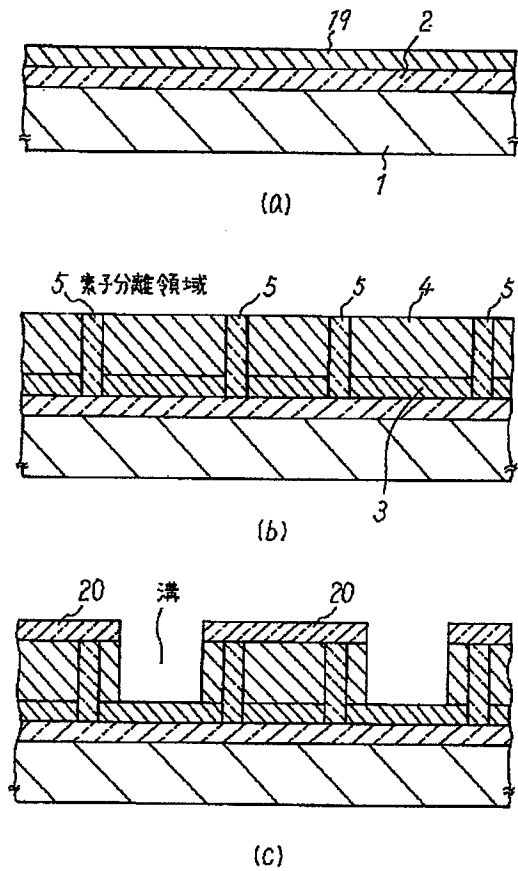
【図7】



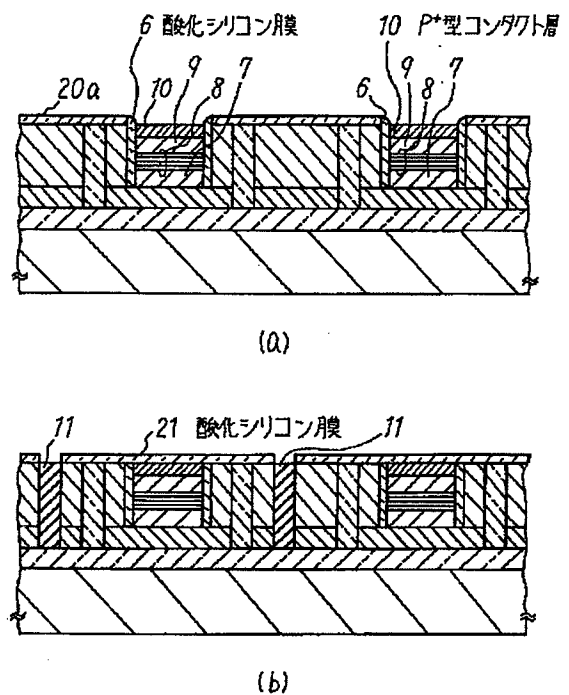
【図1】



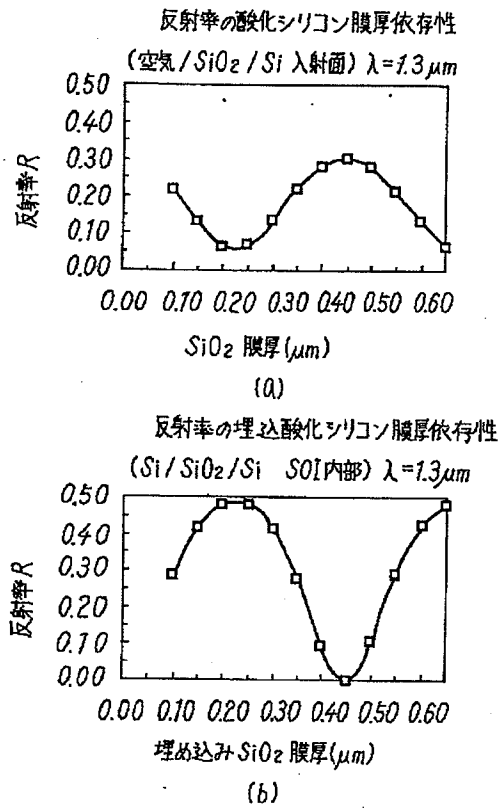
【図2】



【図3】



【図4】



【図5】

